

Family list6 application(s) for: **JP2001068680**

Sorting criteria: Priority Date Inventor Applicant Ecla

1 SEMICONDUCTOR DEVICE AND FABRICATION THEREOF**Inventor:** KITAKADO HIDETO ; KAWASAKI RITSUKO (+1)**EC:****Publication** JP2001068680 (A) - 2001-03-16
info:**Applicant:** SEMICONDUCTOR ENERGY LAB**IPC:** G02F1/136; G02F1/1368; G09F9/00; (+12)**Priority Date:** 1999-04-06**2 Liquid crystal display device having a pixel TFT formed in a display region and a drive circuit formed in the periphery of the display region on the same substrate****Inventor:** KITAKADO HIDEHITO [JP] ; KAWASAKI RITSUKO [JP] (+1)**EC:** G02F1/1362D; H01L21/336D2C; (+2)**Publication** US6346730 (B1) - 2002-02-12
info:**Applicant:** SEMICONDUCTOR ENERGY LAB [JP]**IPC:** G02F1/1362; H01L21/336; H01L27/12; (+8)**Priority Date:** 1999-04-06**3 Semiconductor device and manufacturing method thereof****Inventor:** KITAKADO HIDEHITO [JP] ; KAWASAKI RITSUKO [JP] (+1)**EC:** G02F1/1362D; H01L21/336D2C; (+3)**Publication** US2002058364 (A1) - 2002-05-16
info: US6709902 (B2) - 2004-03-23**Applicant:** KITAKADO HIDEHITO, ; KAWASAKI RITSUKO, (+2)**IPC:** G02F1/1362; H01L21/336; H01L27/12; (+6)**Priority Date:** 1999-04-06**4 Semiconductor device and manufacturing method thereof****Inventor:** KITAKADO HIDEHITO [JP] ; KAWASAKI RITSUKO [JP] (+1)**EC:** G02F1/1362D; H01L21/336D2C; (+3)**Publication** US2004147065 (A1) - 2004-07-29
info: US7176068 (B2) - 2007-02-13**Applicant:** SEMICONDUCTOR ENERGY LAB [JP]**IPC:** G02F1/1362; H01L21/336; H01L27/12; (+7)**Priority Date:** 1999-04-06**5 Semiconductor device and manufacturing method thereof****Inventor:** KITAKADO HIDEHITO [JP] ; KAWASAKI RITSUKO [JP] (+1)**EC:** H01L21/77T; H01L29/423D2B8; (+1)**Publication** US2007138475 (A1) - 2007-06-21
info: US7638846 (B2) - 2009-12-29**Applicant:** SEMICONDUCTOR ENERGY LABORATORY CO., LTD**IPC:** H01L29/786; H01L29/66**Priority Date:** 1999-04-06**6 SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF****Inventor:** KITAKADO HIDEHITO [JP] ; KAWASAKI RITSUKO [JP] (+1)**EC:** H01L21/77T; H01L29/423D2B8; (+1)**Publication** US2010090223 (A1) - 2010-04-15
info:**Applicant:** SEMICONDUCTOR ENERGY LAB [JP]**IPC:** H01L27/12; H01L29/786; H01L33/00; (+3)**Priority Date:** 1999-04-06

SEMICONDUCTOR DEVICE AND FABRICATION THEREOF

Patent number: JP2001068680 (A)

Publication date: 2001-03-16

Inventor(s): KITAKADO HIDETO; KAWASAKI RITSUKO; KASAHARA KENJI +

Applicant(s): SEMICONDUCTOR ENERGY LAB +

Classification:

- international: *G02F1/136; G02F1/1368; G09F9/00; G09F9/30; H01L21/336; H01L29/786; G02F1/13; G09F9/00; G09F9/30; H01L21/02; H01L29/66; (IPC1-7): G02F1/1368; G09F9/00; H01L21/336; H01L29/786*

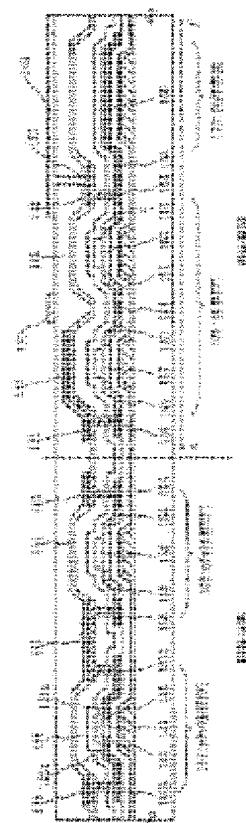
- european:

Application number: JP20000101787 20000404

Priority number(s): JP20000101787 20000404; JP19990099481 19990406; JP19990176120 19990622

Abstract of JP 2001068680 (A)

PROBLEM TO BE SOLVED: To enhance operational characteristics and reliability of a semiconductor device by employing a bottom gate type or an inversely staggered TFT structure being disposed in each circuit of a semiconductor device appropriately depending on the function of the circuit. **SOLUTION:** The LDD regions 159-162 of an n-channel TFT 169 in a pixel TFT are arranged not to lap over the protective insulation film of channel but to lap over a gate electrode at least partially. The LDD regions 153-154 of an n-channel TFT 168 for a drive circuit are arranged not to lap over the protective insulation film of channel but to lap over the gate electrode at least partially. The LDD regions 148-149 of a p-channel TFT 167 for the drive circuit are arranged to lap over the protective insulation film of channel and the gate electrode.



Data supplied from the *espacenet* database — Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2001-68680
(P2001-68680A)

(43)公開日 平成13年3月16日(2001.3.16)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
H 0 1 L 29/786		H 0 1 L 29/78	6 1 2 B 2 H 0 9 2
G 0 2 F 1/1368		G 0 9 F 9/00	3 4 8 C 5 C 0 9 4
G 0 9 F 9/00	3 4 8	9/30	3 3 8 5 F 1 1 0
9/30	3 3 8	G 0 2 F 1/136	5 0 0 5 G 4 3 5
H 0 1 L 21/336		H 0 1 L 29/78	6 1 6 A

審査請求 未請求 請求項の数16 O L (全 22 頁)

(21)出願番号 特願2000-101787(P2000-101787)

(22)出願日 平成12年4月4日(2000.4.4)

(31)優先権主張番号 特願平11-99481

(32)優先日 平成11年4月6日(1999.4.6)

(33)優先権主張国 日本 (J P)

(31)優先権主張番号 特願平11-176120

(32)優先日 平成11年6月22日(1999.6.22)

(33)優先権主張国 日本 (J P)

(71)出願人 000153878

株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(72)発明者 北角 英人

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72)発明者 河崎 律子

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72)発明者 笠原 健司

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

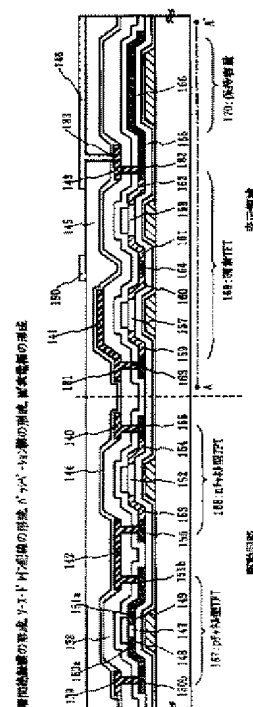
最終頁に続く

(54)【発明の名称】 半導体装置およびその作製方法

(57)【要約】

【課題】 半導体装置の各回路に配置されるボトムゲート型または逆スタガ型のTFTの構造を、回路の機能に応じて適切なものとするにより、半導体装置の動作特性および信頼性を向上させることを目的とする。

【解決手段】 画素TFTのnチャネル型TFT169のLDD領域159～162は、チャネル保護絶縁膜と重ならず、かつ、ゲート電極と少なくとも一部が重なるように配置し、駆動回路とのnチャネル型TFT168のLDD領域153、154は、チャネル保護絶縁膜と重ならず、かつ、ゲート電極と少なくとも一部が重なるように配置され、駆動回路のpチャネル型TFT167のLDD領域148、149は、チャネル保護絶縁膜と重なり、かつ、ゲート電極と重なるように配置する。



【特許請求の範囲】

【請求項1】表示領域に設けた画素TFTと、該表示領域の周辺に設けた駆動回路のnチャンネル型TFTとpチャンネル型TFTを同一の基板に有する半導体装置において、

前記画素TFTと前記nチャンネル型TFTとpチャンネル型TFTのそれぞれは、活性層と、該活性層に設けられたLDD領域と、該活性層と前記基板との間に設けたゲート絶縁膜と、該ゲート絶縁膜と前記基板との間に設けたゲート電極とを有し、

前記画素TFTと前記nチャンネル型TFTのLDD領域は、当該ゲート電極と少なくとも一部が重なるように配置され、

前記駆動回路のpチャンネル型TFTのLDD領域は、当該ゲート電極と全てが重なるように配置されていることを特徴とする半導体装置。

【請求項2】表示領域に設けた画素TFTと、該表示領域の周辺に設けた駆動回路のnチャンネル型TFTとpチャンネル型TFTを同一の基板に有する半導体装置において、

前記画素TFTとnチャンネル型TFTとpチャンネル型TFTのそれぞれは、活性層と、該活性層に設けられたLDD領域と、該活性層上に設けられた保護絶縁膜と、該活性層と前記基板との間に設けたゲート絶縁膜と、該ゲート絶縁膜と前記基板との間に設けたゲート電極とを有し、

前記画素TFTと前記nチャンネル型TFTのLDD領域は、当該保護絶縁膜と重ならず、かつ、当該ゲート電極と少なくとも一部が重なるように配置され、前記駆動回路のpチャンネル型TFTのLDD領域は、当該保護絶縁膜と重なり、かつ、当該ゲート電極と全てが重なるように配置されていることを特徴とする半導体装置。

【請求項3】請求項1または請求項2において、前記駆動回路のpチャンネル型TFTは、p型を付与する不純物元素とn型を付与する不純物元素との両方を含む不純物領域(A)と、p型を付与する不純物元素を含む不純物領域(B)とを有し、前記不純物領域(B)は、前記不純物領域(A)と前記駆動回路のpチャンネル型TFTのLDD領域との間に形成されていることを特徴とする半導体装置。

【請求項4】請求項1または請求項2において、前記画素TFTに接続する保持容量は、前記基板上に形成された容量配線と、該容量配線上に形成された絶縁膜と、該絶縁膜上に形成された半導体層とから形成されていることを特徴とする半導体装置。

【請求項5】請求項1または請求項2において、少なくとも、前記画素TFT上に有機樹脂膜が形成され、該有機樹脂膜上に形成された遮光膜と、該遮光膜に密接して形成された誘電体膜と、一部が前記遮光膜と重なるように設けられ前記画素TFTに接続する画素電極とから、

容量が形成されていることを特徴とする半導体装置。

【請求項6】請求項5において、前記遮光膜は、アルミニウム、タンタル、チタンから選ばれた一種または複数種を含む材料から成り、前記誘電体膜は、前記遮光膜を形成する材料の酸化物から成ることを特徴とする半導体装置。

【請求項7】請求項1乃至請求項6のいずれか一項において、前記半導体装置は、携帯電話、ビデオカメラ、モバイルコンピュータ、ゴーグル型ディスプレイ、プロジェクター、携帯書籍、デジタルカメラ、カーナビゲーション、パーソナルコンピュータから選ばれた一つであることを特徴とする半導体装置。

【請求項8】表示領域に設けた画素TFTと、該表示領域の周辺に設けた駆動回路のnチャンネル型TFTとpチャンネル型TFTとを同一の基板上に有する半導体装置の作製方法において、

前記画素TFTと前記駆動回路とのnチャンネル型TFTのゲート電極と少なくとも一部が重なるLDD領域を形成する工程と、

前記駆動回路のpチャンネル型TFTのゲート電極と全てが重なるLDD領域を形成する工程とを有することを特徴とする半導体装置の作製方法。

【請求項9】表示領域に設けた画素TFTと、該表示領域の周辺に設けた駆動回路のnチャンネル型TFTとpチャンネル型TFTとを同一の基板上に有する半導体装置の作製方法において、

前記画素TFTと前記駆動回路のnチャンネル型TFTのチャンネル保護絶縁膜と重ならず、かつ、ゲート電極と少なくとも一部が重なるLDD領域を形成する工程と、

前記駆動回路のpチャンネル型TFTのチャンネル保護絶縁膜と重なり、かつ、ゲート電極と全てが重なるLDD領域を形成する工程とを有することを特徴とする半導体装置の作製方法。

【請求項10】請求項8または請求項9において、前記駆動回路のpチャンネル型TFTに、p型を付与する不純物元素とn型を付与する不純物元素との両方を含む不純物領域(A)と、p型を付与する不純物元素を含む不純物領域(B)とを形成する工程を有し、前記不純物領域(B)は、前記不純物領域(A)と前記駆動回路のpチャンネル型TFTのLDD領域との間に形成することを特徴とする半導体装置の作製方法。

【請求項11】表示領域に設けた画素TFTと、該表示領域の周辺に設けた駆動回路のnチャンネル型TFTとpチャンネル型TFTとを同一の基板上に有する半導体装置の作製方法において、

基板上にゲート電極を形成する第1の工程と、

前記ゲート電極上にゲート絶縁膜を形成する第2の工程と、

前記ゲート絶縁膜上に第1の半導体層と第2の半導体層を形成する第3の工程と、

3

前記第 1 および第 2 の半導体層上にチャネル保護膜を形成する第 4 の工程と、

前記第 1 の半導体層に、n 型を付与する不純物元素を導入して、当該チャネル保護膜に重ならない n チャネル型 TFT の LDD 領域を形成する第 5 の工程と、

前記第 1 の半導体層に、n 型を付与する不純物元素を導入して、n チャネル型 TFT のソース領域またはドレイン領域を形成する第 6 の工程と、

前記第 2 の半導体層に、p 型を付与する不純物元素を導入して、当該チャネル保護膜に重なる p チャネル型 TFT の LDD 領域とソース領域またはドレイン領域を形成する第 7 の工程とを有することを特徴とする半導体装置の作製方法。

【請求項 12】請求項 8 乃至請求項 11 のいずれか一項において、前記基板上に容量配線を形成する工程と、該容量配線上に絶縁層を形成する工程と、該絶縁層上に半導体層を形成する工程と、から前記画素 TFT に接続する保持容量を形成する工程を有することを特徴とする半導体装置の作製方法。

【請求項 13】請求項 8 乃至請求項 11 のいずれか一項において、前記画素 TFT 上に有機樹脂層を形成する工程と、該有機樹脂上に遮光膜を形成する工程と、該遮光膜に密接して誘電体膜を形成する工程と、一部が前記遮光膜と重なるように設けられ前記画素 TFT に接続する画素電極を形成する工程とから容量を形成することを特徴とする半導体装置の作製方法。

【請求項 14】請求項 13 において、前記遮光膜は、アルミニウム、タンタル、チタンから選ばれた一種または複数種を含む材料で形成し、前記誘電体膜は、前記遮光膜を形成する材料の酸化物で形成することを特徴とする半導体装置の作製方法。

【請求項 15】請求項 14 において、前記誘電体膜を陽極酸化法で形成することを特徴とする半導体装置の作製方法。

【請求項 16】請求項 8 乃至請求項 15 のいずれか一項において、前記半導体装置は、携帯電話、ビデオカメラ、モバイルコンピュータ、ゴーグル型ディスプレイ、プロジェクター、携帯書籍、デジタルカメラ、カーナビゲーション、パーソナルコンピュータから選ばれた一つであることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は絶縁表面を有する基板上に薄膜トランジスタ（以下、TFT と記す）で構成された回路を有する半導体装置の作製方法に関する。特に本発明は、表示領域に設けた画素 TFT と、該表示領域の周辺に設けた駆動回路とを同一の基板上に設けた液晶表示装置に代表される電気光学装置、およびそのような電気光学装置を搭載した電子機器に好適に利用でき

4

る。尚、本願明細書において半導体装置とは、半導体特性を利用することで機能する装置全般を指し、上記電気光学装置およびその電気光学装置を搭載した電子機器をその範疇に含んでいる。

【0002】

【従来の技術】絶縁表面を有する基板上に、結晶質シリコン膜で活性層を形成した TFT（以下、結晶質シリコン TFT と記す）は電界効果移動度が高いことから、いろいろな機能回路を形成することが可能であり、そのような機能回路を同一基板上に一体形成した上記電気光学装置が開発されている。アクティブマトリクス型液晶表示装置はその代表例としてよく知られている。

【0003】結晶質シリコン TFT を用いたアクティブマトリクス型液晶表示装置は、画像表示領域の各画素に画素 TFT が形成され、画像表示領域の周辺には駆動回路が設けられている。駆動回路は CMOS 回路を基本として形成されるシフトレジスタ回路、レベルシフト回路、バッファ回路、サンプリング回路などから構成され、このような回路が同一基板上に形成され、一体となって表示装置が完成する。

【0004】画素 TFT や駆動回路の動作条件は必ずしも同一ではないので、そのことから TFT に要求される特性も少なからず異なっている。例えば、画素 TFT は液晶に電圧を印加するためのスイッチ素子としての機能が要求されている。液晶は交流で駆動させるので、フレーム反転駆動と呼ばれる方式が多く採用されている。この方式では保持容量の電荷を保持するために、画素 TFT に要求される特性は、オフ電流値（TFT がオフ動作時に流れるドレイン電流）を十分低くすることであった。一方、駆動回路のバッファ回路は高い駆動電圧が印加されるため、高電圧が印加されても壊れないように TFT の耐圧を高めておく必要があった。また電流駆動能力を高めるために、オン電流値（TFT がオン動作時に流れるドレイン電流）を十分確保する必要があった。

【0005】しかし、結晶質シリコン TFT のオフ電流値は高くなりやすいといった問題点があった。また、IC などでも使われる MOS トランジスタと同様に、結晶質シリコン TFT にはオン電流値の低下といった劣化現象が観測される。その主たる原因はホットキャリア注入であり、ドレイン近傍の高電界によって発生したホットキャリアが劣化現象を引き起こすものと考えられている。

【0006】オフ電流値を低減するための TFT の構造として、低濃度ドレイン（LDD: Lightly Doped Drain）構造が知られている。この構造はチャネル形成領域と、高濃度に不純物元素を添加して形成するソース領域またはドレイン領域との間に低濃度に不純物元素を添加した領域を設けたものであり、この領域を LDD 領域と呼んでいる。

【0007】LDD 領域を有する TFT の作製方法に関して、例えば特許第 2564725 号には、ゲート絶縁膜

をゲート電極よりチャネル幅方向に広く形成し、さらにそのゲート絶縁膜より薄い絶縁膜をその横に形成して、該絶縁膜とゲート絶縁膜との厚みの差を利用してゲート電極の端部とソースまたはドレイン領域との間の半導体膜にLDD領域を形成する方法が開示されている。

【0008】また、ホットキャリアによる劣化を防ぐための手段として、LDD領域をゲート絶縁膜を介してゲート電極と重なるように配置させた、いわゆるGOLD (Gate-drain Overlapped LDD) 構造が知られている。このような構造とすることで、ドレイン近傍の高電界が緩和されてホットキャリア注入を防ぎ、劣化現象の防止に有効である。例えば、「Mutuko Hatano, Hajime Akimoto and Takeshi Sakai, IEDM97 TECHNICAL DIGEST, p523-526, 1997」では、シリコンで形成したサイドウォールにより形成したGOLD構造を開示しているが、他の構造のTFETと比べ、きわめて優れた信頼性が得られることが確認されている。

【0009】このような構造のTFETのソース領域やドレイン領域、およびLDD領域などの不純物領域を形成するための半導体層への不純物元素の導入は、半導体層上に設けたゲート電極やマスク用の絶縁膜を用いて自己整合的に行う方法で行うことが望ましかった。さらに、マスク数を削減するために一旦、ゲート電極やマスク用の絶縁膜を用いて全面に一導電型の不純物元素を導入し、それより高濃度でpチャネル型TFETまたはnチャネル型TFETのいずれか一方のTFETの不純物領域に一導電型とは反対の導電型の不純物元素を導入する方法（本明細書中ではクロスドープ法と記す）がとられていた。

【0010】

【発明が解決しようとする課題】しかしながら、画素TFETと、シフトレジスタ回路やバッファ回路などの駆動回路のTFETとでは、その要求される特性は必ずしも同じではない。例えば、画素TFETにおいてはゲートに大きな逆バイアス（nチャネル型TFETでは負の電圧）が印加されるが、駆動回路のTFETは基本的に逆バイアス状態で動作することはない。また、動作速度に関しても、画素TFETは駆動回路のTFETの1/100以下で良かった。

【0011】GOLD構造はオン電流値の劣化を防ぐ効果は高いが、その反面、通常のLDD構造と比べてオフ電流値が大きくなってしまいう問題があった。従って、画素TFETに適用するには好ましい構造ではなかった。逆に通常のLDD構造はオフ電流値を抑える効果は高いが、ドレイン近傍の電界を緩和してホットキャリア注入による劣化を防ぐ効果は低かった。このように、アクティブマトリクス型液晶表示装置のような動作条件の異なる複数の集積回路を有する半導体装置において、全てのTFETを同じ構造で形成することは必ずしも好ましくなかった。このような問題点は、特に結晶質シリコンTF

Tにおいて、その特性が高まり、またアクティブマトリクス型液晶表示装置に要求される性能が高まるほど顕在化してきた。

【0012】また、TFETのオフ電流値を低減するための手段はいくつかあるが、チャネル形成領域と不純物領域（LDD領域、ソース領域またはドレイン領域）との接合を良好に形成することが必要であった。そのためには、チャネル形成領域とそれに接する不純物領域との界面における不純物元素の分布を精密に制御する必要があった。しかし、前述のクロスドープ法を実施した場合、一方のTFETの不純物領域には一導電型の不純物元素と、それとは反対の導電型の不純物元素が導入されていて、界面における不純物元素の分布を精密に制御することは困難であった。

【0013】このようなLDD構造はnチャネル型TFETの特性を重点的に考慮して形成されていた。CMOS回路などを形成するために同一基板上に形成されるpチャネル型TFETは、マスク数を可能な限り少なくするためにシングルドレイン構造で形成することが多かった。しかし、その場合、pチャネル型TFETのソースまたはドレイン領域にnチャネル型TFETのLDD形成用のリン(P)がドーピングされて、チャネル形成領域との接合に欠陥が形成され、オフ電流値が増加してしまう問題があった。

【0014】本発明はこのような問題点を解決するための技術であり、半導体装置の各回路に配置されるTFETの構造を、回路の機能に応じて適切なものとするにより、半導体装置の動作特性および信頼性を向上させることを目的とする。

【0015】

【課題を解決するための手段】上記の課題を解決するために本発明の構成は、表示領域に設けた画素TFETと、該表示領域の周辺に設けた駆動回路のnチャネル型TFETとpチャネル型TFETを同一の基板上に有する半導体装置において、前記画素TFETと前記駆動回路のTFETとは、活性層と、該活性層に設けられたLDD領域と、該活性層と前記基板との間に設けたゲート絶縁膜と、該ゲート絶縁膜と前記基板との間に設けたゲート電極とを有し、前記画素TFETと前記駆動回路のnチャネル型TFETのLDD領域は、当該ゲート電極と少なくとも一部が重なるように配置され、前記駆動回路のpチャネル型TFETのLDD領域は、当該ゲート電極と全てが重なるように配置されていることを特徴としている。また、前記画素TFETと前記駆動回路とのnチャネル型TFETのLDD領域は、当該TFETに設けられたチャネル保護絶縁膜と重ならず、かつ、ゲート電極と少なくとも一部が重なるように配置され、前記駆動回路のpチャネル型TFETのLDD領域は、当該TFETの保護絶縁膜と重なり、かつ、ゲート電極と重なるように配置されていることを特徴とする。

【0016】また、他の発明の構成は、前記駆動回路のpチャネル型TFTは、p型を付与する不純物元素とn型を付与する不純物元素との両方を含む不純物領域

(A)と、p型を付与する不純物元素だけを含む不純物領域(B)とを有し、前記不純物領域(B)は、前記不純物領域(A)と前記駆動回路のpチャネル型TFTのLDD領域との間に形成されていることを特徴としている。

【0017】この構造は、マスク数を増加させることなくpチャネル型TFTのソースまたはドレイン領域にドーピングされるリン(P)が、チャネル形成領域との接合部にはドーピングされない構造であり、オフ電流値の低減を目的としている。

【0018】前記画素TFTに接続する保持容量は、前記基板上に形成された容量配線と、該容量配線上に形成された絶縁膜と、該絶縁膜上に形成された半導体層とから形成されていること、或いは、前記画素TFT上に有機樹脂膜が形成され、該有機樹脂膜上に形成された遮光膜と、該遮光膜に密接して形成された誘電体膜と、一部が前記遮光膜と重なるように設けられ前記画素TFTに接続する画素電極とから、容量が形成されていることを特徴としている。

【0019】上記課題を解決するために、本発明の半導体装置の作製方法は、表示領域に設けた画素TFTと、該表示領域の周辺に設けた駆動回路のnチャネル型TFTとpチャネル型TFTとを同一の基板上に有する半導体装置の作製方法において、前記画素TFTと前記nチャネル型TFTに、当該ゲート電極と少なくとも一部が重なるLDD領域を形成する工程と、前記駆動回路のpチャネル型TFTに、当該ゲート電極と全てが重なるLDD領域を形成する工程とを有することを特徴としている。また、前記画素TFTと前記nチャネル型TFTに、当該TFTのチャネル保護絶縁膜と重ならず、かつ、ゲート電極と少なくとも一部が重なるLDD領域を形成する工程と、前記駆動回路のpチャネル型TFTに、当該TFTのチャネル保護絶縁膜と全てが重なり、かつ、当該ゲート電極と重なるLDD領域を形成する工程とを有していちことを特徴とする。

【0020】上記半導体装置の作製方法において、前記駆動回路のpチャネル型TFTに、p型を付与する不純物元素とn型を付与する不純物元素との両方を含む不純物領域(A)と、p型を付与する不純物元素を含む不純物領域(B)とを形成する工程を有し、前記不純物領域(B)は、前記不純物領域(A)と前記駆動回路のpチャネル型TFTのLDD領域との間に形成することが望ましい。

【0021】また、他の発明の構成は、表示領域に設けた画素TFTと、該表示領域の周辺に設けた駆動回路のnチャネル型TFTとpチャネル型TFTとを同一の基板上に有する半導体装置の作製方法において、基板上に

ゲート電極を形成する第1の工程と、前記ゲート電極上にゲート絶縁膜を形成する第2の工程と、前記ゲート絶縁膜上に第1および第2の半導体層を形成する第3の工程と、前記第1および第2の半導体層上にチャネル保護膜を形成する第4の工程と、前記第1の半導体層にn型を付与する不純物元素を導入して、前記チャネル保護膜に重ならないnチャネル型TFTのLDD領域を形成する第5の工程と、前記第1の半導体層にn型を付与する不純物元素を導入して、nチャネル型TFTのソース領域またはドレイン領域を形成する第6の工程と、前記第2の半導体層に、p型を付与する不純物元素を導入して、前記チャネル保護膜に重なるpチャネル型TFTのLDD領域とソース領域またはドレイン領域を形成する第7の工程とを有することを特徴としている。

【0022】上記本発明の半導体装置の作製方法において、前記基板上に容量配線を形成する工程と、該容量配線上に絶縁層を形成する工程と、該絶縁層上に半導体層を形成する工程と、から前記画素TFTに接続する保持容量を形成する工程、或いは、前記画素TFT上に有機樹脂層を形成する工程と、該有機樹脂上に遮光膜を形成する工程と、該遮光膜に密接して誘電体膜を形成する工程と、一部が前記遮光膜と重なるように設けられ前記画素TFTに接続する画素電極を形成する工程とから容量を形成することを特徴としている。前記遮光膜は、アルミニウム、タンタル、チタンから選ばれた一種または複数種を含む材料で形成し、前記誘電体膜は、前記遮光膜を形成する材料の酸化物で形成することが好ましく、該酸化物を形成する方法として陽極酸化法を用いることが最も好ましい。

【0023】

【発明の実施の形態】本発明の実施の形態について、以下に示す実施例により詳細な説明を行う。

【0024】[実施例1]本発明の実施例を図1～図3を用いて説明する。ここでは、表示領域の画素TFTと、表示領域の周辺に設けられる駆動回路のTFTを同時に作製する方法について工程に従って詳細に説明する。

【0025】(ゲート電極、ゲート絶縁膜、結晶質半導体膜の形成：図1(A))図1(A)において、基板101には低アルカリガラス基板や石英基板を用いることができる。この基板101のTFTを形成する表面には、酸化シリコン膜、窒化シリコン膜または窒化酸化シリコン膜などの絶縁膜を形成していても良い(図示せず)。ゲート電極102～104と容量配線105とは、タンタル(Ta)、チタン(Ti)、タングステン(W)、モリブデン(Mo)、アルミニウム(Al)から選ばれた元素またはいずれかを主成分とする材料を用い、スパッタ法や真空蒸着法などの公知の成膜法を用いて被膜を形成した後、端面がテーパ形状となるようにエッチング処理してパターン形成した。例えば、スパッタ法でTa膜を200nmの厚さに形成し、所定の形状に

レジストマスクを形成した後、 CF_4 と O_2 の混合ガスでプラズマエッチング処理をすれば所望の形状に加工することができる。また、ゲート電極は窒化タンタル(Ta-N)と Ta または窒化タングステン(WN)と W の2層構造としても良い(図示せず)。ここでは図示はしていないがゲート電極に接続するゲート配線も同時に形成する。

【0026】ゲート絶縁膜106は酸化シリコン、窒化シリコンを成分とする材料で、10~200nm、好ましくは50~150nmの厚さで形成する。例えばプラズマCVD法で、 SiH_4 、 NH_3 、 N_2 を原料とした窒化シリコン膜106aを50nm、 SiH_4 と N_2O を原料とした窒化酸化シリコン膜106bを75nmの厚さに積層形成してゲート絶縁膜としても良い。勿論、窒化シリコン膜や酸化シリコン膜からなる一層としても何ら差し支えない。また、清浄な表面を得るために、ゲート絶縁膜の成膜の前にプラズマ水素処理を施すと良かった。

【0027】次に、TFTの活性層となる結晶質半導体膜の形成を行った。結晶質半導体膜の材料にはシリコンを用いた。まず、ゲート絶縁膜106に密接して、20~150nmの厚さで非晶質シリコン膜をプラズマCVD法やスパッタ法などの公知の成膜法で形成した。非晶質シリコン膜の作製条件に限定されるものはないが、膜中に含まれる酸素、窒素の不純物元素を $5 \times 10^{18} \text{ cm}^{-3}$ 以下に低減させておくことが望ましい。また、ゲート絶縁膜と非晶質シリコン膜とは同じ成膜法で形成することが可能なので、両者を連続形成しても良い。ゲート絶縁膜を形成した後、一旦大気雰囲気や湿気に晒さないことでその表面の汚染を防ぐことが可能となり、作製するTFTの特性バラツキやしきい値電圧の変動を低減させることができる。そして公知の結晶化技術を使用して結晶質シリコン膜107を形成する。例えば、レーザー結晶化法や、熱結晶化法(固相成長法)、または特開平7-130652号公報で開示された技術に従って、触媒元素を用いる結晶化法で結晶質シリコン膜107を形成しても良い。

【0028】結晶質シリコン膜107のnチャネル型TFTが形成される領域には、しきい値電圧を制御する目的で $1 \times 10^{16} \sim 5 \times 10^{17} \text{ cm}^{-3}$ 程度のボロン(B)を添加しておいても良い。ボロン(B)の添加はイオンドープ法で実施しても良いし、非晶質シリコン膜を成膜するときに同時に添加しておくこともできる。

【0029】(マスク絶縁膜形成、 n^+ 領域の形成:図1(B))次に、nチャネル型TFTのLDD領域を形成するために、n型を付与する不純物元素の添加を行った。まず、結晶質シリコン膜107の表面に酸化シリコン膜や窒化シリコン膜から成るマスク絶縁膜108を100~200nm、代表的には120nmの厚さに形成した。この表面にフォトリソ膜を全面に形成した

後、基板101の裏面からの露光法によりゲート電極102~104をマスクとしてフォトリソ膜を感光させ、ゲート電極上にレジストマスク109~112を形成した。この方法により、ゲート電極上であってゲート電極の内側にレジストマスクを形成することができた。

【0030】そして、マスク絶縁膜108を介してその下側にある結晶質シリコン膜にn型を付与する不純物元素をイオンドープ法(イオン注入法でも良い)で添加した。半導体の技術分野においてn型を付与する不純物元素には、周期律表第15族の元素からリン(P)、砒素(As)、アンチモン(Sb)などが適用され、ここではリン(P)を用いた。形成した不純物領域113~118のリン(P)濃度は $1 \times 10^{17} \sim 5 \times 10^{18} \text{ cm}^{-3}$ の範囲とすることが望ましく、ここでは、 $5 \times 10^{17} \text{ cm}^{-3}$ とした。本明細書中では、不純物領域113~118に含まれるn型を付与する不純物元素の濃度を(n^+)と表す。

【0031】(チャネル保護膜形成:図1(C))次に、このレジストマスクを使用してマスク絶縁膜108をエッチング除去し、チャネル保護膜119~122を形成した。下地となる結晶質シリコン膜107に対して選択性良くマスク絶縁膜108をエッチングするために、ここではフッ酸系の溶液を用いたウエットエッチング法を採用した。勿論、ドライエッチング法で実施しても良く、例えば CHF_3 ガスで絶縁膜108をエッチングすることができる。いずれにしてもこの工程ではオーバーエッチングして、レジストマスク109~112の端面より内側にチャネル保護膜119~122が形成されるようにした。

【0032】(n^+ 領域の形成:図2(A))次にnチャネル型TFTにおいて、ソース領域またはドレイン領域として機能する不純物領域の形成を形成する工程を行った。ここでは、通常の露光法でレジストによるマスク123~125を形成した。そして、このレジストマスクを用いて容量配線105上のチャネル保護膜122をエッチングして除去した。次いで、結晶質シリコン膜107にn型を付与する不純物元素が添加された不純物領域126~130をイオンドープ法(イオン注入法でも良い)で形成した。不純物領域126~130には $1 \times 10^{20} \sim 1 \times 10^{21} \text{ cm}^{-3}$ とすれば良く、ここでは $5 \times 10^{20} \text{ cm}^{-3}$ の濃度で不純物元素を含ませた。この濃度を本明細書中では(n^+)と表す。

【0033】(p^+ 領域の形成:図2(B))次に、駆動回路のpチャネル型TFTのソース領域およびドレイン領域を形成するために、p型を付与する不純物元素を添加する工程を行った。半導体の技術分野においてp型を付与する不純物元素には、周期律表第13族の元素からボロン(B)、アルミニウム(Al)、ガリウム(Ga)などが適用され、ここではボロン(B)を用いた。チャネル保護膜119上の内側に位置するようにマスク

131を形成し、nチャネル型TF Tを形成する領域はすべてレジストマスク132、133で覆った。そして、ジボラン(B₂H₆)を用いたイオンドープ法(イオン注入法を用いても良い)で不純物領域134~136を形成した。不純物領域135a、135b、136a、136bは結晶質シリコン膜の表面から不純物元素が添加され、この領域のボロン(B)濃度を $1.5 \times 10^{20} \sim 3 \times 10^{21} \text{ cm}^{-3}$ の範囲とし、ここでは $2 \times 10^{21} \text{ cm}^{-3}$ とした。本明細書中では、ここで形成された不純物領域135a、135b、136a、136bに含まれるp型を付与する不純物元素の濃度を(p^+)と表す。一方、不純物領域134はチャネル保護膜119を介して結晶質シリコン膜に不純物元素が添加されるため、この領域のボロン(B)濃度は $1 \times 10^{16} \sim 1 \times 10^{18} \text{ cm}^{-3}$ となった。本明細書中では、ここで形成された不純物領域134に含まれるp型を付与する不純物元素の濃度を(p^-)と表す。

【0034】図1(B)~図2(A)で示したように、不純物領域135b、136bには前の工程でリン(P)が添加されているにで、ボロン(B)とリン(P)が混在した領域が形成されるが、この工程で添加するボロン(B)濃度をその $1.5 \sim 3$ 倍とすることでp型の導電性が確保され、TF Tの特性に何ら影響を与えることはなかった。本明細書中ではこの領域を不純物領域(B)とする。そして、不純物領域(B)135b、136bのチャネル形成領域側にある不純物領域135a、136aはボロン(B)のみを含む領域であり、本明細書中ではこの領域を不純物領域(A)とする。また、ゲート電極103に重なり、かつ、チャネル保護膜120とも重なる不純物領域134もボロン(B)のみを含む領域として形成し、この領域はLDD領域として機能する。

【0035】(第1の層間絶縁膜の形成、熱活性化の工程、水素化の工程:図2(C))結晶質シリコン膜にそれぞれの不純物元素を選択的に添加したら、結晶質シリコン膜をエッチング処理して島状に分割し、後に第1の層間絶縁膜の一部となる保護絶縁膜137を形成した。保護絶縁膜137は窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜またはそれらを組み合わせた積層膜で形成すれば良い。また、膜厚は $100 \sim 400 \text{ nm}$ とすれば良い。

【0036】その後、それぞれの濃度で添加されたn型またはp型を付与する不純物元素を活性化するために熱処理工程を行った。この工程はファーンズアニール法、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)などで行うことができる。ここではファーンズアニール法で活性化工程を行った。加熱処理は、窒素雰囲気中において $300 \sim 650^\circ\text{C}$ 、好ましくは $500 \sim 550^\circ\text{C}$ 、ここでは 525°C で4時間の熱処理を行った。さらに、 $3 \sim 100\%$ の水素を含む雰囲気中

で、 $300 \sim 450^\circ\text{C}$ で $1 \sim 12$ 時間の熱処理を行い、活性層を水素化する工程を行った。この工程は熱的に励起された水素により活性層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0037】活性層となる結晶質シリコン膜107を、非晶質シリコン膜から触媒元素を用いる結晶化の方法で作製した場合、結晶質シリコン膜107中にはおよそ $1 \times 10^{17} \sim 5 \times 10^{19} \text{ cm}^{-3}$ の触媒元素が残留した。勿論、そのような状態でもTF Tを完成させ動作させることに問題はないが、残留する触媒元素を少なくともチャネル形成領域から除去する方がより好ましかった。この触媒元素を除去する手段の一つにリン(P)によるゲッタリング作用を利用する手段があった。ゲッタリングに必要なリン(P)の濃度は図2(B)で形成した不純物領域(n^+)と同程度であり、ここで実施される活性化工程の熱処理により、nチャネル型TF Tおよびpチャネル型TF Tのチャネル形成領域から、リン(P)が添加されている周辺の不純物領域へ触媒元素をゲッタリングをすることができた。その結果チャネル形成領域の触媒元素濃度を $5 \times 10^{17} \text{ cm}^{-3}$ 以下とすることが可能となり、前記不純物領域には $1 \times 10^{18} \sim 5 \times 10^{20} \text{ cm}^{-3}$ の触媒元素が偏析した。

【0038】(層間絶縁膜の形成、ソース・ドレイン配線の形成、パッシベーション膜の形成、画素電極の形成:図3)活性化工程を終えたら、保護絶縁膜137の上に $500 \sim 1500 \text{ nm}$ の厚さの層間絶縁膜138を形成した。前記保護絶縁膜137と層間絶縁膜138とでなる積層膜を第1の層間絶縁膜とした。その後、それぞれのTF Tのソース領域またはドレイン領域に達するコンタクトホールを形成して、ソース配線139~141と、ドレイン配線142、143を形成した。図示していないが、本実施例ではこの電極を、Ti膜を 100 nm 、Tiを含むアルミニウム膜 300 nm 、Ti膜 150 nm をスパッタ法で連続して形成した3層構造の積層膜とした。

【0039】保護絶縁膜137と層間絶縁膜138とは、窒化シリコン膜、酸化シリコン膜または窒化酸化シリコン膜などで形成すれば良いが、いずれにしても膜の内部応力を圧縮応力としておくと良かった。

【0040】次に、窒化シリコン膜、酸化シリコン膜、または窒化酸化シリコン膜を用い、パッシベーション膜144を $50 \sim 500 \text{ nm}$ (代表的には $100 \sim 300 \text{ nm}$)の厚さで形成した。その後、この状態で水素化処理を行うとTF Tの特性向上に対して好ましい結果が得られた。例えば、 $3 \sim 100\%$ の水素を含む雰囲気中で、 $300 \sim 450^\circ\text{C}$ で $1 \sim 12$ 時間の熱処理を行うと良く、あるいはプラズマ水素化法を用いても同様の効果が得られた。なお、ここで後に画素電極とドレイン配線

を接続するためのコンタクトホールを形成する位置において、パッシベーション膜144に開口部を形成しておいても良い。

【0041】その後、有機樹脂膜からなる第2の層間絶縁膜145を約1 μ mの厚さに形成した。適用できる有機樹脂材料としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB（ベンゾシクロブテン）等を使用することができる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300℃で焼成して形成した。そして、第2の層間絶縁膜145、パッシベーション膜144にドレイン配線143に達するコンタクトホールを形成し、画素電極146を設けた。画素電極146は、透過型液晶表示装置とする場合には透明導電膜を用い、反射型の液晶表示装置とする場合には金属膜を用いれば良い。ここでは透過型の液晶表示装置とするために、酸化インジウム・スズ（ITO）膜を100nmの厚さにスパッタ法で形成した。画素電極190は隣接する画素の電極である。

【0042】以上の工程で、同一の基板上に表示領域の画素TFTと、表示領域の周辺に設けた駆動回路のTFTとを形成することができた。駆動回路には、nチャネル型TFT168とpチャネル型TFT167が形成され、CMOS回路を基本としたロジック回路を形成することを可能とした。画素TFT169はnチャネル型TFTであり、さらに容量配線105と半導体層166と、その間に形成されている絶縁膜とから保持容量170が画素TFT169に接続している。

【0043】駆動回路のpチャネル型TFT167は、チャネル形成領域147、ソース領域150a、150b、ドレイン領域151a、151bおよびLDD領域148、149を有している。ソース領域150bおよびドレイン領域151bは不純物領域（B）で形成され、この領域のボロン（B）濃度はリン（P）濃度の1.5～3倍にしてある。その不純物領域（B）の内側、即ちチャネル形成領域147の側に形成したソース領域150aおよびドレイン領域151aは不純物領域（A）であり、不純物領域（B）と同じ濃度でボロン（B）のみを含む領域である。また、ゲート電極103に重なり、かつ、チャネル保護膜120とも重なるLDD領域148、149もボロン（B）のみを含む領域として形成する。このように、不純物領域（B）をチャネル形成領域から遠ざけることで、チャネル形成領域とそれに接するLDD領域、さらにLDD領域とソース領域またはドレイン領域との接合形成が確実なものとなり、pチャネル型TFTの特性を良好に保つことができた。

【0044】駆動回路のnチャネル型TFT168は、チャネル形成領域152と、ソース領域155およびドレイン領域156と、LDD領域153、154とを有している。画素TFT169には、チャネル形成領域157、158と、ソース領域またはドレイン領域163

～165と、LDD領域159～162とを有している。駆動回路のnチャネル型TFTのLDD領域は、ドレイン近傍の高電界を緩和してホットキャリア注入によるオン電流値の劣化を防ぐことを主な目的として設けるものであり、そのために適したn型を付与する不純物元素の濃度は $5 \times 10^{17} \sim 5 \times 10^{18} \text{ cm}^{-3}$ とすれば良かった。一方、画素TFTのLDD領域は、オフ電流値を低減することを主たる目的とするために設けられ、その不純物元素の濃度は駆動回路のnチャネル型TFTのLDD領域の濃度と同じとしても良いが、その濃度の1/2～1/10としても良い。図3では画素TFT169をダブルゲート構造として完成したが、シングルゲート構造でも良いし、複数のゲート電極を設けたマルチゲート構造としても差し支えない。

【0045】以上の様に本発明は、画素TFTおよび駆動回路が要求する仕様に依じて各回路を構成するTFTの構造を最適化し、半導体装置の動作性能と信頼性を向上させることを可能とすることができた。

【0046】〔実施例2〕本実施例を図4を用い、実施例1とは異なる構造で画素TFTに接続する保持容量を設ける例について説明する。駆動回路のpチャネル型TFT167、nチャネル型TFT168、および画素TFT169は実施例1と同様に作製した。以下、実施例1との相違点について説明する。

【0047】少なくとも画素TFT上には、第2の層間絶縁膜145上に遮光膜171を形成した。遮光膜171はAl、Ti、Taから選ばれた一種または複数種の元素を主成分とする膜で、100～300nmの厚さで成膜をし、所定の形状にパターン形成した。さらに、この上に第2の層間絶縁膜と同様に有機樹脂膜を用いて第3の層間絶縁膜172を形成した。第3の層間絶縁膜172の厚さは0.5～1 μ mとした。そして、第3の層間絶縁膜172、第2の層間絶縁膜145、パッシベーション膜144にドレイン配線143に達するコンタクトホールを形成し、画素電極173を設けた。画素電極173は、透過型液晶表示装置とする場合には透明導電膜を用い、反射型の液晶表示装置とする場合には金属膜を用いれば良い。ここでは透過型の液晶表示装置とするために、酸化インジウム・スズ（ITO）膜を100nmの厚さにスパッタ法で形成した。このようにして、画素TFT169に接続する保持容量174を、遮光膜171と第3の層間絶縁膜172と画素電極173とから形成することができた。

【0048】〔実施例3〕本実施例では実施例1と実施例2で示したTFTの活性層となる結晶質半導体膜を形成する工程について図5を用いて説明する。まず、基板（本実施例ではガラス基板）1101上に100～400nmの厚さのゲート電極1102、1103を形成する。ゲート電極はAl、Ti、Ta、Mo、Wから選ばれた一種または複数種の元素を含む材料から形成し、端

面がテーパ形状となるようにパターン形成する。また、図示していないが、前記材料の積層構造としても良い。例えば、基板側から窒化タンタル(Ta₂N₅)とTaの2層構造としても良い。さらに、ゲート電極の表面に陽極酸化法などで酸化物を被覆形成しておいても良い。ゲート絶縁膜1104は、窒化シリコン膜、酸化シリコン膜または窒酸化シリコン膜で形成し、その厚さは20~200nm、好ましくは75~125nmで形成する。そして、ゲート絶縁膜1104上に50nm厚の非晶質半導体膜(本実施例では非晶質シリコン膜)1105を大気解放しないで連続的に形成する。

【0049】次に、重量換算で10ppmの触媒元素(本実施例ではニッケル)を含む水溶液(酢酸ニッケル水溶液)をスピコート法で塗布して、触媒元素含有層1106を非晶質半導体膜1105の全面に形成する。ここで使用可能な触媒元素は、ニッケル(Ni)以外にも、ゲルマニウム(Ge)、鉄(Fe)、パラジウム(Pd)、スズ(Sn)、鉛(Pb)、コバルト(Co)、白金(Pt)、銅(Cu)、金(Au)、といった元素がある。また、本実施例ではスピコート法でニッケルを添加する方法を用いたが、蒸着法やスパッタ法などにより触媒元素でなる薄膜(本実施例の場合はニッケル膜)を非晶質半導体膜上に形成する手段をとっても良い。(図5(A))

【0050】次に、結晶化の前に400~500℃で1時間程度の熱処理工程を行い、水素を膜中から脱離させた後、500~650℃(好ましくは550~570℃)で4~12時間(好ましくは4~6時間)の熱処理を行う。本実施例では、550℃で4時間の熱処理を行い、結晶質半導体膜(本実施例では結晶質シリコン膜)1107を形成する。(図5(B))

【0051】以上のようにして形成された活性層1107は、結晶化を助長する触媒元素(ここではニッケル)を用いることによって、結晶性の優れた結晶質半導体膜を形成することができる。また、さらにその結晶性を高めるために、レーザー結晶化法を併用しても良い。例えば、XeFエキシマレーザー光(波長308nm)を用い、線状ビームを形成して、発振周波数5~50Hz、エネルギー密度100~500mJ/cm²として線状ビームのオーバーラップ割合を80~98%として、図5(B)で作製された結晶質半導体膜1107に照射した。その結果、さらに結晶性の優れた結晶質半導体膜1108を形成することができた。(図5(C))

【0052】このようにして基板1101上に作製された結晶質半導体膜を用い、実施例1~実施例2に示した手順でTFTを作製すると良好な特性を得ることができる。TFTの特性は、代表的には電界効果移動度で表すことができるが、本実施例のようにして作製する結晶質半導体膜から形成するTFTの特性は、nチャネル型TFTで150~220cm²/V・sec、pチャネル

型TFTで90~120cm²/V・secが得られ、しかも連続動作させても初期値からの特性劣化は殆ど観測されず、信頼性の観点からも優れた特性が得られた。

【0053】【実施例4】本実施例では画素TFTに接続される保持容量の他の構成について図6と図7を用いて説明する。ここで、図6および図7の作製工程は実施例1で説明した作製工程に従い、有機樹脂膜から成る第2の層間絶縁膜145を形成するところまでは同一であるので、そこまでの構造は図1~図3で既に説明されている。従って、本実施例では実施例1と異なる点のみに注目して説明を行うこととする。

【0054】図6(A)において、まず実施例1の工程に従って第2の層間絶縁膜145を形成したら、Al、Ta、Tiから選ばれた元素を含む材料で遮光膜301を形成する。そして、遮光膜301の表面に陽極酸化法により30~150nm(好ましくは50~75nm)の厚さの誘電体膜302(遮光膜を形成する材料の酸化物)を形成する。

【0055】陽極酸化法で誘電体膜302を形成する場合には、まず十分にアルカリイオン濃度の小さい酒石酸エチレングリコール溶液を作製した。これは15%の酒石酸アンモニウム水溶液とエチレングリコールとを2:8で混合した溶液であり、これにアンモニア水を加え、pHが7±0.5となるように調節した。そして、この溶液中に陰極となる白金電極を設け、遮光膜301が形成されている基板を溶液に浸し、遮光膜301を陽極として、一定(数mA~数十mA)の直流電流を流した。溶液中の陰極と陽極との間の電圧は酸化物の成長に従い時間と共に変化するが、電流が一定となるように電圧を調整し、150Vとなったところでその電圧を保持することなく、或いはその保持時間を数秒~数十秒として陽極酸化処理を終了させた。こうすることにより、遮光膜301が第2の層間絶縁膜に接する面にまで誘電体膜を回り込ませることなく形成することができる。

【0056】ここでは遮光膜表面のみに誘電体膜を設ける構成としたが、誘電体膜をプラズマCVD法、熱CVD法またはスパッタ法などの気相法によって形成しても良い。その場合も膜厚は30~150nm(好ましくは50~75nm)とすることが好ましい。また、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜、DL C(Diamond like carbon)膜または有機樹脂膜を用いても良い。さらに、これらを組み合わせた積層膜を用いても良い。

【0057】その後、実施例1と同様に画素電極303を形成する。こうして、遮光膜301と画素電極303が誘電体膜302を介して重なった領域で保持容量304が形成される。

【0058】図6(B)の構造は、図6(A)と同様に遮光膜301、誘電体膜302を形成した後、有機樹脂でなるスペーサー305を形成する。有機樹脂膜として

は、ポリイミド、ポリアミド、ポリイミドアミド、アクリル、BCB（ベンゾシクロブテン）から選ばれた膜を用いることができる。その後、スペーサー305、第2の層間絶縁膜145、パッシベーション膜143をエッチングしてコンタクトホールを形成し、実施例1と同一の材料で画素電極306を形成する。こうして、遮光膜301と画素電極306が誘電体膜302を介して重なった領域において保持容量307が形成される。このようにスペーサー305を設けることにより、遮光膜301と画素電極306との間で発生するショート（短絡）を防止することができる。

【0059】図6（C）の構造は、図6（A）と同様に遮光膜301を形成し、遮光膜301の端部を覆うようにして有機樹脂でなるスペーサー308を形成する。有機樹脂としては、ポリイミド、ポリアミド、ポリイミドアミド、アクリル、BCB（ベンゾシクロブテン）から選ばれた膜を用いることができる。次に、陽極酸化法により遮光膜301の露出した表面に誘電体膜309を形成する。なお、スペーサー308と接した部分には誘電体膜は形成されない。そして、スペーサー308、第2の層間絶縁膜145、パッシベーション膜143をエッチングしてコンタクトホールを形成し、実施例1と同一の材料で画素電極310を形成する。こうして、遮光膜301と画素電極310が誘電体膜309を介して重なった領域において保持容量311が形成される。このようにスペーサー308を設けることにより、遮光膜301と画素電極310との間で発生するショート（短絡）を防止することができる。

【0060】図7（A）では、まず実施例1の工程に従って第2の層間絶縁膜145を形成したら、その上に窒化シリコン膜、酸化シリコン膜または窒化酸化シリコン膜などの材料で絶縁膜312を形成する。絶縁膜312は公知の成膜法で形成するが、そのなかでもスパッタ法を用いると良かった。以降は図6（A）と同様にして遮光膜、誘電体膜、画素電極を形成して保持容量313を設ける。絶縁膜312を設けることにより、遮光膜の下地との密着性が向上し、陽極酸化法で誘電体膜を形成するときに、遮光膜の下地との界面への誘電体膜の回り込み形成を防止できる。

【0061】図7（B）では、同様に絶縁膜と遮光膜を形成した後、絶縁膜の遮光膜と密接しない領域をエッチング除去して、遮光膜の下に重なるように絶縁膜314を形成した。そして、画素電極315を設けた。このような構成にすることにより、遮光膜の下地との密着性が向上し、陽極酸化法で誘電体膜を形成するときに、遮光膜の下地との界面への誘電体膜の回り込み形成を防止でき、また、遮光膜が形成される画素領域の光の透過率を向上させることができる。

【0062】図7（A）と（B）で示した構成は、図6（B）と（C）で示したスペーサを設ける構成と組み合

わせることも可能である。また、図6と図7で示した本実施例の構成は、実施例1または実施例2の構成と組み合わせることが可能である。

【0063】【実施例5】実施例1および実施例2に記載した表示領域に形成される画素TFEと表示領域の周辺に設けられる駆動回路のTFEを同一の基板上に備えた半導体装置の作製方法において、活性層とする結晶質半導体膜、ゲート絶縁膜や層間絶縁膜および下地膜などの絶縁膜、ゲート電極、ソース配線、ドレイン配線および画素電極などの導電膜はいずれもスパッタ法を用いて作製することができる。スパッタ法を用いることの利点は、導電膜などの成膜においてDC（直流）放電方式が採用できるので大面積基板に均一な膜を形成するのに適している。また、非晶質シリコン膜や窒化シリコン膜などのシリコン系の材料を成膜するのに取り扱いに多大な注意を要するシラン（SiH₄）を使用しなくて済み、作業の安全性が確保される。このような点は、特に生産の現場において非常にメリットとして生かすことができる。以下に、スパッタ法を用いた作製工程を実施例1に従い説明する。

【0064】図1（A）のゲート電極102～104や容量配線105はTa、Ti、W、Moなどのターゲット材を用い、公知のスパッタ法で容易に形成できる。W-MoやTa-Moなどの化合物材料とする場合には、同様に化合物のターゲットを用いれば良い。また、Ta-NやWNを形成する場合には、スパッタ雰囲気中にアルゴン（Ar）の他に窒素（N₂）やアンモニア（NH₃）を適宜添加すると作製することができる。また、スパッタ用のガスにArに加えヘリウム（He）、クリプトン（Kr）、キセノン（Xe）を加え、作製する被膜の内部応力を制御する方法もある。

【0065】ゲート絶縁膜106に用いる窒化シリコン膜106aは、シリコン（Si）ターゲットを用い、Ar、N₂、水素（H₂）、NH₃を適宜混合すれば形成できる。または、窒化シリコンのターゲット材を用いても同様に形成することができる。窒化酸化シリコン膜106bは、Siターゲットを用い、Ar、N₂、H₂、N₂Oを適宜混合してスパッタすることにより作製する。

【0066】非晶質シリコン膜も同様に、Siターゲットを用い、Ar、H₂をスパッタガスに用いて作製する。また、非晶質シリコン膜中に微量にボロン（B）を添加したい場合には、あらかじめターゲット中に数十ppm～数千ppmのボロン（B）を添加しておいても良いし、スパッタガス中にジボラン（B₂H₆）を添加することもできる。

【0067】チャネル保護膜119～122に適用できる酸化シリコン膜は、酸化シリコン（または石英）をターゲット材にして、ArまたはArと酸素（O₂）の混合ガスでスパッタすることにより作製できる。保護絶縁膜137、層間絶縁膜138、パッシベーション膜14

4に用いる窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜は前述のように作製すれば良い。

【0068】ソース配線139～141、及びドレイン配線142、143において、Alを用いる場合にはTi、Si、スカンジウム(Sc)、バナジウム(V)、Cuなどを0.01～5重量%程度含有させるとヒロツクの防止に効果的である。遮光膜171に用いるTi、Ta、Al等や、画素電極146に用いるITO、ZnO、SnO₂などはいずれも公知のスパッタ法で成膜すれば良い。

【0069】このように、有機樹脂からなる第2の層間絶縁膜145と第3の層間絶縁膜172以外はいずれもスパッタ法を用いて膜形成が可能である。尚、詳細な実験条件は実施者が適宜決定すれば良い。

【0070】〔実施例6〕本実施例は、画素TFTと駆動回路のTFTについて、特にpチャネル型TFTの他の一例について示す。まず、最初に実施例1で説明した図1(A)～図2(A)までの工程を同様にして行う。図12(A)は図2(A)に対応した図面であり、レジストマスク1123～1125、n型を付与する不純物元素が添加された不純物領域1126～1130が形成された状態を示している。

【0071】そして、図12(B)に示すようにp⁺領域の形成を行う。チャネル保護膜1119上の内側に位置するようにマスク1131を形成し、nチャネル型TFTを形成する領域はすべてレジストマスク1132、1133で覆った。さらに、フッ酸系の溶液を用いたウェットエッチング法でチャネル保護膜1119の端部がほぼマスク1131の端部と一致するようにエッチング処理して新たな形状を有するチャネル保護絶縁膜1119bを形成した。そして、ジボラン(B₂H₆)を用いたイオンドープ法(イオン注入法を用いても良い)で高濃度不純物領域1134～1136を形成した。不純物領域1134～1136は結晶質シリコン膜の表面から不純物元素が添加され、この領域のボロン(B)濃度を $1.5 \times 10^{20} \sim 3 \times 10^{21} \text{ cm}^{-3}$ の範囲とし、ここでは $2 \times 10^{21} \text{ cm}^{-3}$ とした。本明細書中では、ここで形成された不純物領域1134～1136に含まれるp型を付与する不純物元素の濃度を(p⁺)と表す。このようにして、pチャネル型TFTの高濃度不純物領域のチャネル形成領域と接する端部を、前の工程で形成した低濃度不純物領域1113、1114の端部よりチャネル形成領域側に設けることにより、この部分における接合状態を良好なものとすることができる。

【0072】図1(B)～図2(A)で示したように、不純物領域1135、1136には前の工程でリン(P)が添加されているに、ボロン(B)とリン(P)が混在した領域が形成されるが、この工程で添加するボロン(B)濃度をその1.5～3倍とすることでp型の導電性が確保され、TFTの特性に何ら影響を与

えることはなかった。本明細書中ではこの領域を領域(B)とする。そして、チャネル形成領域側にある不純物領域134はボロン(B)のみを含む領域であり、本明細書中ではこの領域を領域(A)とする。

【0073】結晶質シリコン膜にそれぞれの不純物元素を選択的に添加したら、結晶質シリコン膜をエッチング処理して島状に分割し、後に第1の層間絶縁膜の一部となる保護絶縁膜1137を形成した。保護絶縁膜1137は窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜またはそれらを組み合わせた積層膜で形成すれば良い。また、膜厚は100～400nmとすれば良い。

【0074】その後、それぞれの濃度で添加されたn型またはp型を付与する不純物元素を活性化するために熱処理工程を行った。ファーネスアニール法で活性化を行う場合には、窒素雰囲気中において300～650℃、好ましくは500～550℃、ここでは525℃で4時間の熱処理を行った。レーザーアニール法を適用する場合には、エキシマレーザーを光源として、そのレーザー光を光学系で線幅100～500μm、線状ビームとし、発振周波数10～100Hz、発振パルス幅20～50nsec(好ましくは30nsec)、エネルギー密度100～500mJ/cm²で照射して行う。さらに、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行い、活性層を水素化する工程を行った。この工程は熱的に励起された水素により活性層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0075】活性化工程を終えたら、保護絶縁膜1137の上に500～1500nmの厚さの層間絶縁膜1138を形成した。前記保護絶縁膜1137と層間絶縁膜1138とでなる積層膜を第1の層間絶縁膜とした。その後、それぞれのTFTのソース領域またはドレイン領域に達するコンタクトホールを形成して、ソース配線1139～1141と、ドレイン配線1142、1143を形成した。図示していないが、本実施例ではこの電極を、Ti膜を100nm、Tiを含むアルミニウム膜300nm、Ti膜150nmをスパッタ法で連続して形成した3層構造の積層膜とした。

【0076】保護絶縁膜1137と層間絶縁膜1138とは、窒化シリコン膜、酸化シリコン膜または窒化酸化シリコン膜などで形成すれば良いが、いずれにしても膜の内部応力を圧縮応力としておくことが好ましい。

【0077】次に、窒化シリコン膜、酸化シリコン膜、または窒化酸化シリコン膜を用い、パッシベーション膜1144を50～500nm(代表的には100～300nm)の厚さで形成した。その後、この状態で水素化処理を行うとTFTの特性向上に対して好ましい結果が得られた。例えば、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行うと

良く、あるいはプラズマ水素化法を用いても同様の効果が得られた。なお、ここで後に画素電極とドレイン配線を接続するためのコンタクトホールを形成する位置において、パッシベーション膜1144に開口部を形成しておいても良い。

【0078】その後、実施例1と同様に有機樹脂膜からなる第2の層間絶縁膜1145を約1 μ mの厚さに形成した。そして、第2の層間絶縁膜1145、パッシベーション膜1144にドレイン配線1143に達するコンタクトホールを形成し、画素電極1146を設けた。画素電極1146は、透過型液晶表示装置とする場合には透明導電膜を用い、反射型の液晶表示装置とする場合には金属膜を用いれば良い。ここでは透過型の液晶表示装置とするために、酸化インジウム・スズ(ITO)膜を100nmの厚さにスパッタ法で形成した。画素電極1190は隣接する画素の電極である。

【0079】以上の工程で、同一の基板上に表示領域の画素TFTと、表示領域の周辺に設けた駆動回路のTFTとを形成することができた。駆動回路には、nチャネル型TFT1168とpチャネル型TFT1167が形成され、CMOS回路を基本としたロジック回路を形成することを可能とした。画素TFT1169はnチャネル型TFTであり、さらに容量配線105と半導体層1166と、その間に形成されている絶縁膜とから保持容量1170が画素TFT1169に接続している。

【0080】駆動回路のpチャネル型TFT1167は、チャネル形成領域1147、高濃度不純物領域で形成されるソース領域1148、1150およびドレイン領域1149、1151を有している。ソース領域1150とドレイン領域1151は領域(B)で形成され、この領域のボロン(B)濃度はリン(P)濃度の1.5~3倍にしてある。その不純物領域(B)の内側、即ちチャネル形成領域1147の側に形成したソース領域1148とドレイン領域1149は領域(A)であり、領域(B)と同じ濃度でボロン(B)のみを含む領域である。この領域(A)はその全部がゲート電極1103と重なり、一方領域(B)は一部がゲート電極1103と重なる構造となっている。このように、pチャネル型TFTの高濃度不純物領域を領域(B)と領域(A)とから形成し、領域(B)をチャネル形成領域から遠ざけることで、チャネル形成領域と高濃度不純物領域との接合を良好なものとすることができる。

【0081】駆動回路のnチャネル型TFT1168は、チャネル形成領域1152と、ソース領域1155およびドレイン領域1156と、LDD領域1153、1154とを有している。画素TFT1169には、チャネル形成領域1157、1158と、ソース領域またはドレイン領域1163~1165と、LDD領域1159~1162とを有している。駆動回路のnチャネル型TFTのLDD領域は、ドレイン近傍の高電界を緩和

してホットキャリア注入によるオン電流値の劣化を防ぐことを主な目的として設けるものであり、そのために適したn型を付与する不純物元素の濃度は $5 \times 10^{17} \sim 5 \times 10^{18} \text{ cm}^{-3}$ とすれば良かった。一方、画素TFTのLDD領域は、オフ電流値を低減することを主たる目的とするために設けられ、その不純物元素の濃度は駆動回路のnチャネル型TFTのLDD領域の濃度と同じとしても良いが、その濃度の $1/2 \sim 1/10$ としても良い。図3では画素TFT1169をダブルゲート構造として完成したが、シングルゲート構造でも良いし、複数のゲート電極を設けたマルチゲート構造としても差し支えない。

【0082】以上のような工程により作製されたTFTは、チャネル保護絶縁膜1119b、1120~1122が、イオンドープ法などによりダメージを受けることなく形成されるので、TFTの特性を安定なものとすることができる。例えば、バイアス・熱ストレス(BTS)試験として、ゲート電極に土に-1.7MVの電圧を印加して、150℃で1時間放置しても、しきい値電圧や電界効果移動度、サブスレショルド定数、オン電流値などの変動は殆ど観測されることはない。さらに本発明は、画素TFTおよび駆動回路が要求する仕様に応じて各回路を構成するTFTの構造を最適化し、半導体装置の動作性能と信頼性を向上させることを可能とすることができた。

【0083】また、図13で示す保持容量の構成は、実施例4において図6と図7を用いて説明したような、遮光膜と、その表面に陽極酸化法で形成した誘電体層と、画素電極とから形成しても良い。

【0084】〔実施例7〕本実例では、画素TFTと駆動回路が形成された基板から、アクティブマトリクス型液晶表示装置を作製する工程を説明する。図8に示すように、実施例1で作製した図3の状態の基板に対し、配向膜601を形成する。通常液晶表示素子の配向膜にはポリイミド樹脂が多く用いられている。対向側の基板602には、遮光膜603、透明導電膜604および配向膜605を形成する。配向膜を形成した後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って配向するようにした。そして、画素TFTと駆動回路が形成された一方の基板と対向基板とを、公知のセル組み工程によってシール材やスペーサ(共に図示せず)などを介して貼りあわせる。その後、両基板の間に液晶材料606を注入し、封止剤(図示せず)によって完全に封止した。液晶材料には公知の液晶材料を用いれば良い。このようにして図8に示すアクティブマトリクス型液晶表示装置を完成する。

【0085】次にこのアクティブマトリクス型液晶表示装置の構成を、図9の斜視図および図10の上面図を用いて説明する。尚、図9と図10は、図1~図3と図8の断面構造図と対応付けるため、共通の符号を用いてい

る。また、図10で示すA—A'に沿った断面構造は、図3に示す画素TFT169および保持容量170の断面図に対応している。

【0086】図9に示す斜視図は、ガラス基板101上に形成された、表示領域701と、走査（ゲート）線駆動回路702と、信号（ソース）線駆動回路703で構成される。表示領域には画素TFT169が設けられ、表示領域の周辺に設けられる駆動回路はCMOS回路を基本として構成されている。走査（ゲート）線駆動回路702と、信号（ソース）線駆動回路703はそれぞれゲート配線104（ゲート電極に接続し、延在して形成される意味で同じ符号を用いて表す）とソース配線141で表示領域701の画素TFTに接続されている。また、FPC731が外部入出力端子734に接続される。

【0087】図10は表示領域701のほぼ一画素を示す上面図である。ゲート配線104は、図示されていないゲート絶縁膜を介してその下の活性層と交差している。図示はしていないが、活性層には、ソース領域、ドレイン領域、 n^+ 領域でなるLDD領域が形成されている。また、180はソース配線141とソース領域163とのコンタクト部、181はドレイン配線143とドレイン領域165とのコンタクト部、182はドレイン配線143と画素電極146のコンタクト部である。保持容量170は、画素TFT169のドレイン領域165に接続する半導体層166と、容量配線105とその間に形成されている絶縁膜が重なる領域で形成される。

【0088】なお、本実施例のアクティブマトリクス型液晶表示装置は、実施例1で説明した構造と照らし合わせて説明したが、実施例1～6のいずれの構成とも自由に組み合わせてアクティブマトリクス型液晶表示装置を作製することができる。

【0089】〔実施例8〕本発明を実施して作製された画素TFTや駆動回路を同一の基板上に一体形成した基板は、さまざまな電気光学装置（アクティブマトリクス型液晶表示装置、アクティブマトリクス型EL表示装置、アクティブマトリクス型EC表示装置）に用いることができる。即ち、これらの電気光学装置を表示媒体として組み込んだ電子機器全てに本発明を実施できる。

【0090】そのような電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター（リア型またはフロント型）、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、パーソナルコンピュータ、携帯電話または電子書籍などが上げられる。それらの一例を図12に示す。

【0091】図11（A）は携帯電話であり、本体9001、音声出力部9002、音声入力部9003、表示装置9004、操作スイッチ9005、アンテナ9006から構成されている。本願発明は音声出力部9002、音声入力部9003、及び表示領域およびその周辺

に駆動回路を備えたアクティブマトリクス型の表示装置9004に適用することができる。

【0092】図11（B）はビデオカメラであり、本体9101、表示装置9102、音声入力部9103、操作スイッチ9104、バッテリー9105、受像部9106から成っている。本願発明は音声入力部9103、及び表示領域およびその周辺に駆動回路を備えたアクティブマトリクス型の表示装置9102、受像部9106に適用することができる。

10 【0093】図11（C）はモバイルコンピュータであり、本体9201、カメラ部9202、受像部9203、操作スイッチ9204、表示装置9205で構成されている。本願発明は受像部9203、及び表示領域およびその周辺に駆動回路を備えたアクティブマトリクス型の表示装置9205に適用することができる。

20 【0094】図11（D）はゴーグル型ディスプレイであり、本体9301、表示装置9302、アーム部9303で構成される。本願発明は表示領域およびその周辺に駆動回路を備えたアクティブマトリクス型の表示装置9302に適用することができる。また、表示されていないが、その他の信号制御用回路に使用することもできる。

【0095】図11（E）はリア型プロジェクターであり、本体9401、光源9402、表示装置9403、偏光ビームスプリッタ9404、リフレクター9405、9406、スクリーン9407で構成される。本発明は表示領域およびその周辺に駆動回路を備えたアクティブマトリクス型の表示装置9403に適用することができる。

30 【0096】図11（F）は携帯書籍であり、本体9501、表示装置9502、9503、記憶媒体9504、操作スイッチ9505、アンテナ9506から構成されており、ミニディスク（MD）やデジタルビデオディスク（DVD）に記憶されたデータや、アンテナで受信したデータを表示するものである。表示装置9502、9503は表示領域およびその周辺に駆動回路を備えたアクティブマトリクス型の直視型表示装置であり、本発明はこの適用することができる。

40 【0097】また、ここでは図示しなかったが、本発明はその他にも、カーナビゲーションシステムやイメージセンサパーソナルコンピュータの表示部に適用することも可能である。このように、本願発明の適用範囲はきわめて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1～7のどのような組み合わせから成る構成を用いても実現することができる。

【0098】

50 【発明の効果】本発明を用いることで、同一の基板上に複数の機能回路が形成された半導体装置（ここでは具体的には電気光学装置）において、その機能回路が要求す

る仕様に応じて適切な性能のTFTを配置することが可能となり、その動作特性や信頼性を大幅に向上させることができる。

【0099】特に、LDD領域が設けられたボトムゲート型または逆スタガ型のTFTにおいて、画素TFTのLDD領域を n^- の濃度でかつLoffを形成することにより、大幅にオフ電流値を低減でき、画素TFTの低消費電力化に寄与することができる。また、駆動回路の n チャネル型TFTのLDD領域を n^- の濃度でかつLov+Loffを形成することにより、電流駆動能力を高め、かつ、ホットキャリアによる劣化を防ぎ、オン電流値の劣化を低減することができる。

【0100】さらに、駆動回路のpチャネル型TFTにおいて、p型を付与する不純物元素とn型を付与する不純物元素との両方を含む不純物領域(B)と、p型を付与する不純物元素を含む不純物領域(A)とを有し、前記不純物領域(A)は、前記不純物領域(A)と前記駆動回路のpチャネル型TFTのLDD領域との間に形成されていることにより、チャネル形成領域とそれに接するLDD領域、さらにLDD領域とソース領域またはドレイン領域との接合形成が確実なものとなり、pチャネル型TFTの特性を良好に保つことができる。

【0101】また、そのような電気光学装置を表示媒体として有する半導体装置（ここでは具体的に電子機器）の動作性能と信頼性も向上させることができる。

【図面の簡単な説明】

【図 1】 画素 T F T および駆動回路の T F T の作製工程を示す図。

【図2】 画素TFTおよび駆動回路のTFTの作製工程を示す図。

【図3】 画素TFTおよび駆動回路のTFTの作製工

程を示す図。

【図4】 画素TFTおよび駆動回路のTFTの作製工程を示す図。

【図5】 結晶質半導体膜の作製工程を示す図。

【図6】 保持容量の断面構造の一例を示す図。

【図7】 保持容量の断面構造の一例を示す図。

【図8】 アクティブマトリクス型液晶表示装置の断面構造を示す図。

【図9】 アクティブマトリクス型液晶表示装置の斜視図。

【図10】 画素の上面図。

【図 1 1】 半導体装置の一例を示す図。

【図12】 画素TFTおよび駆動回路のTFTの作製工程を示す図。

【図13】 画素TFTおよび駆動回路のTFTの作製工程を示す図。

【符号の説明】

1 0 1 基板

102~104 ゲート電極

105 容量配線

106 ゲート絶縁膜

107 結晶質シリコン膜

108 マスク絶縁膜

119~121 チヤネル保護膜

139~141 ソース電極

142~143 ドレイン電極

1.3.7 保護絕緣膜

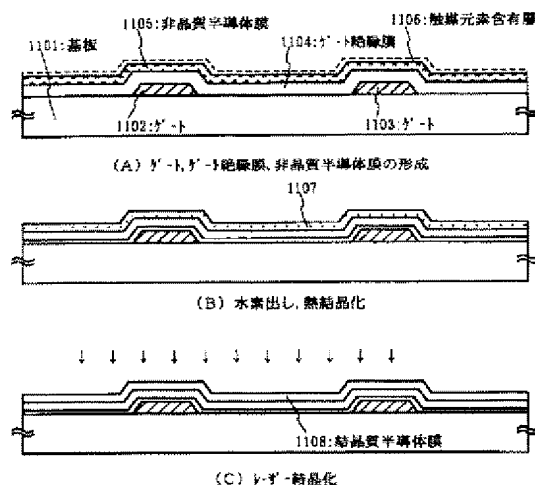
138 層間絕緣膜

144 パッシベーション膜

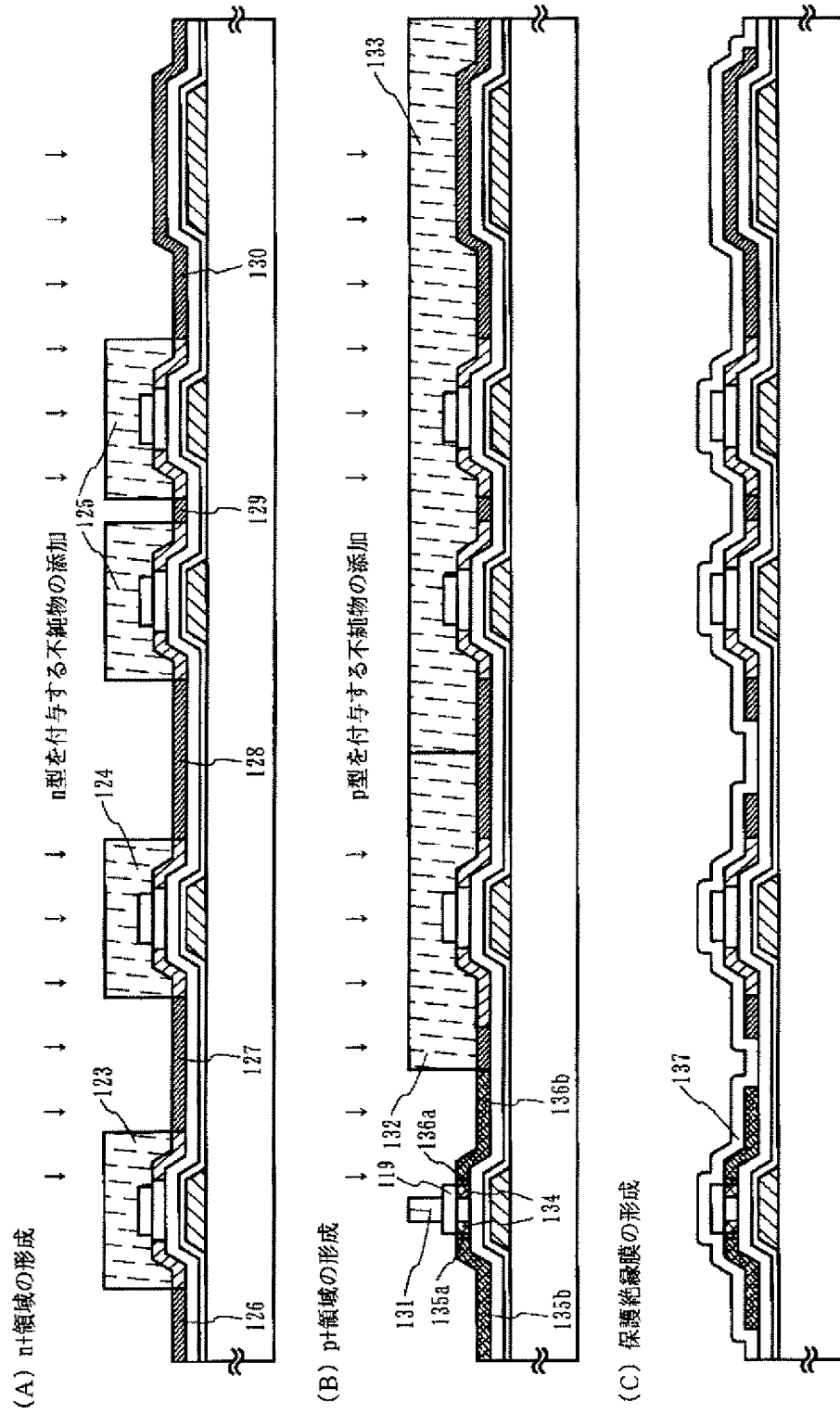
30 145 第2の層間絶縁膜

146 画素雷極

【例 5】

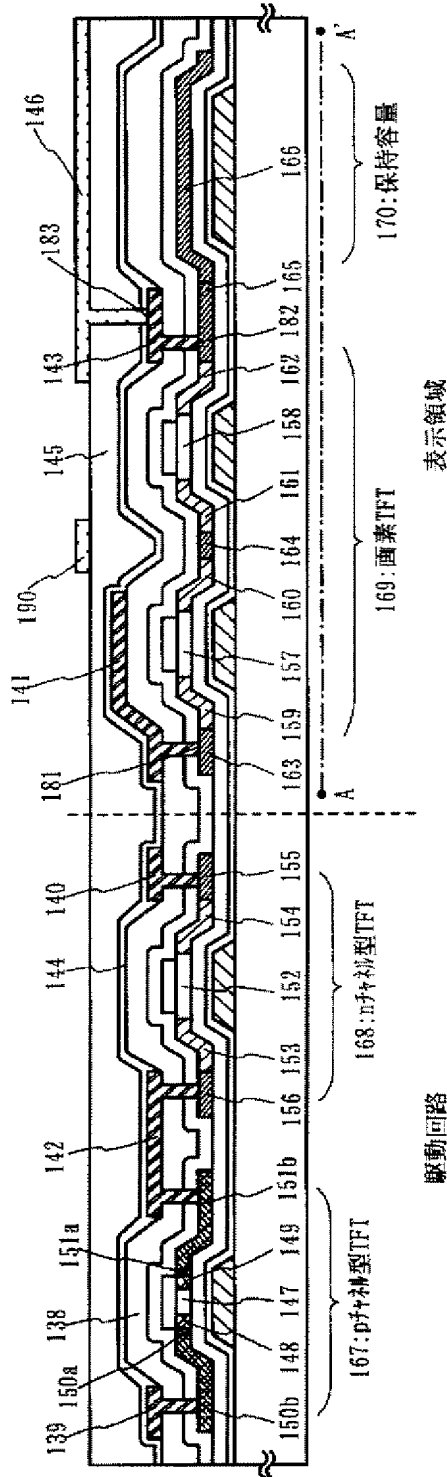


【図2】



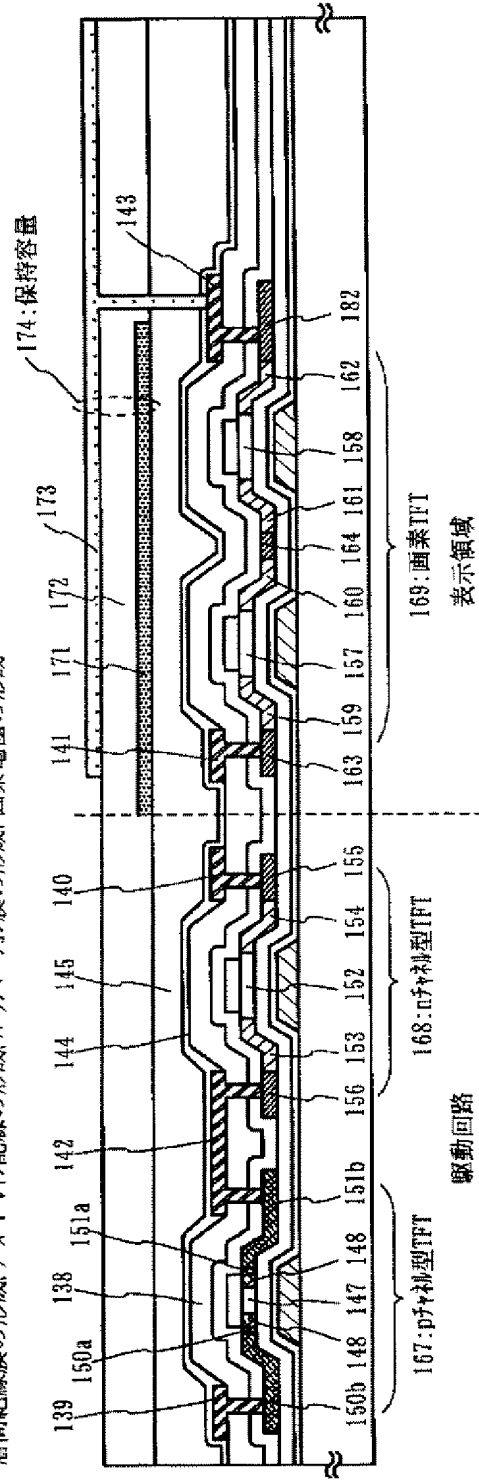
【図3】

層間絶縁膜の形成、ソース・ドレイン配線の形成、 $\text{p}^+\text{-}\gamma\text{-Si}$ 膜の形成、画素電極の形成

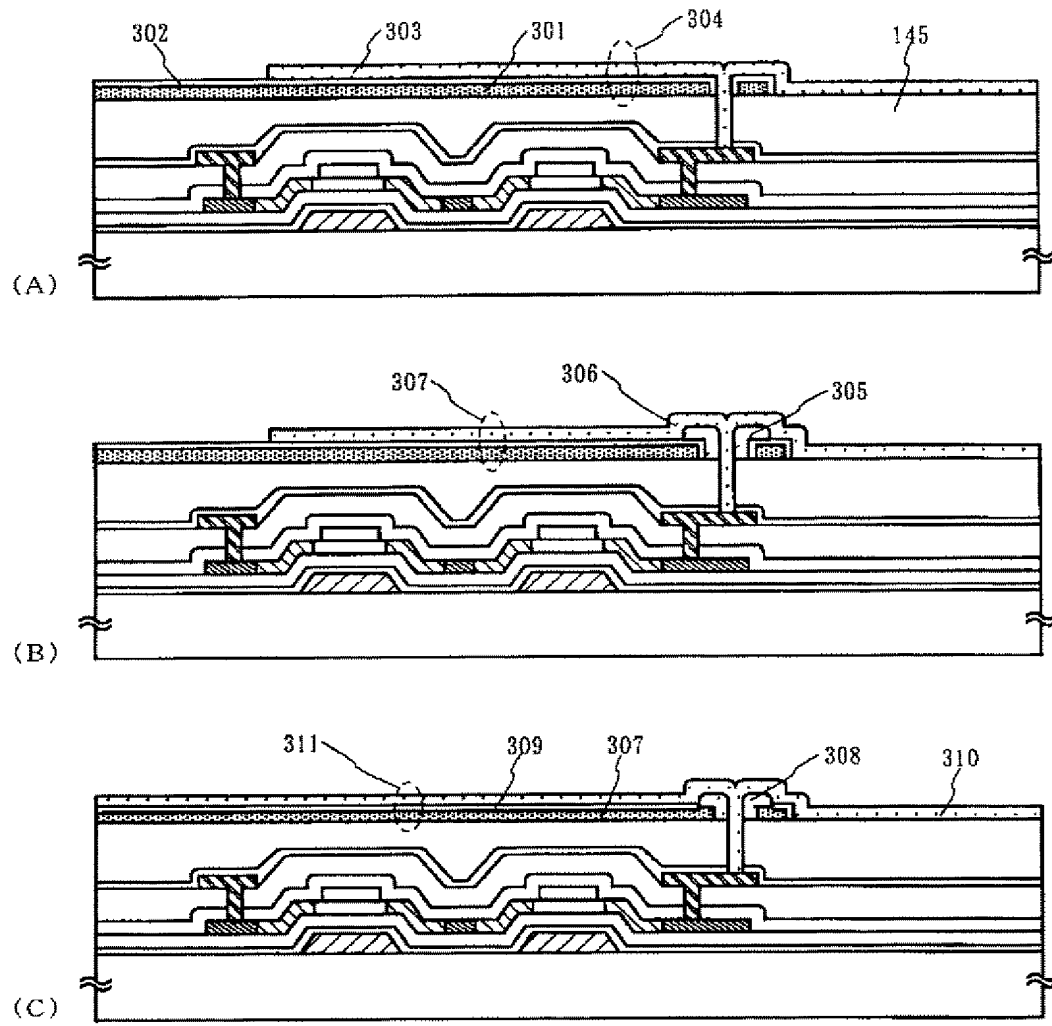


【図4】

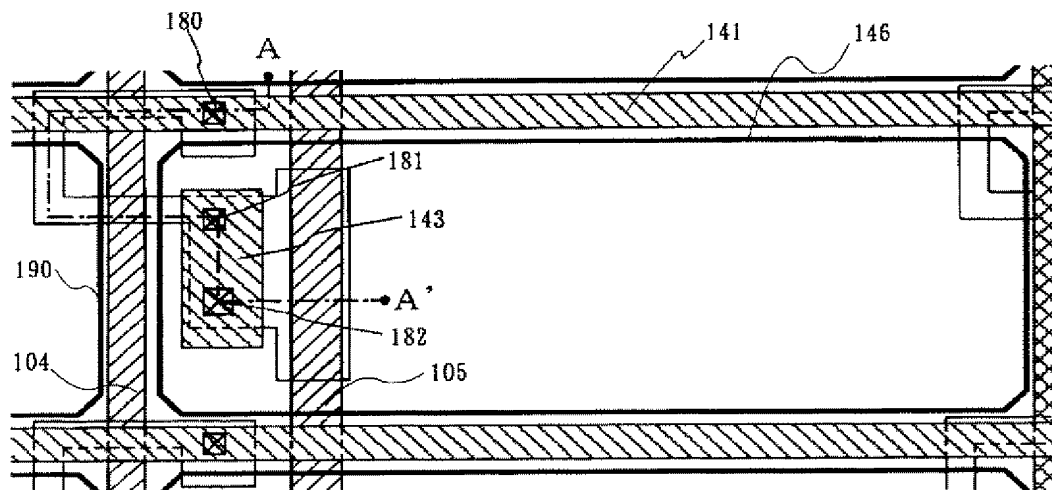
層間絶縁膜の形成、ソース・ドレイン配線の形成、 $\text{p}^+\text{-}\gamma\text{-Si}$ 膜の形成、画素電極の形成



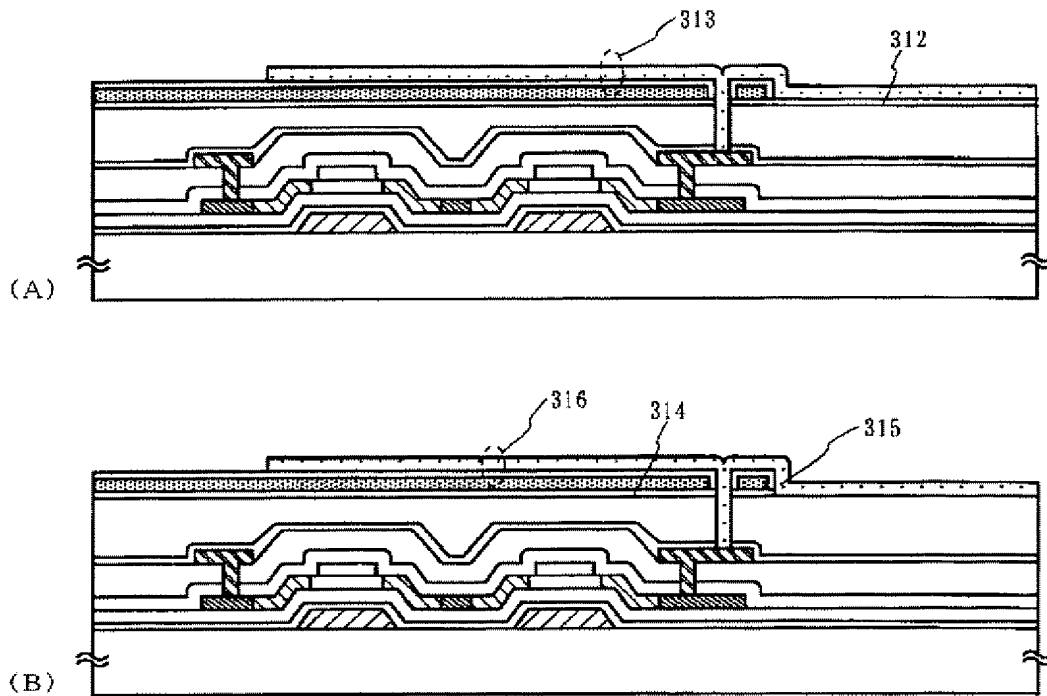
【図6】



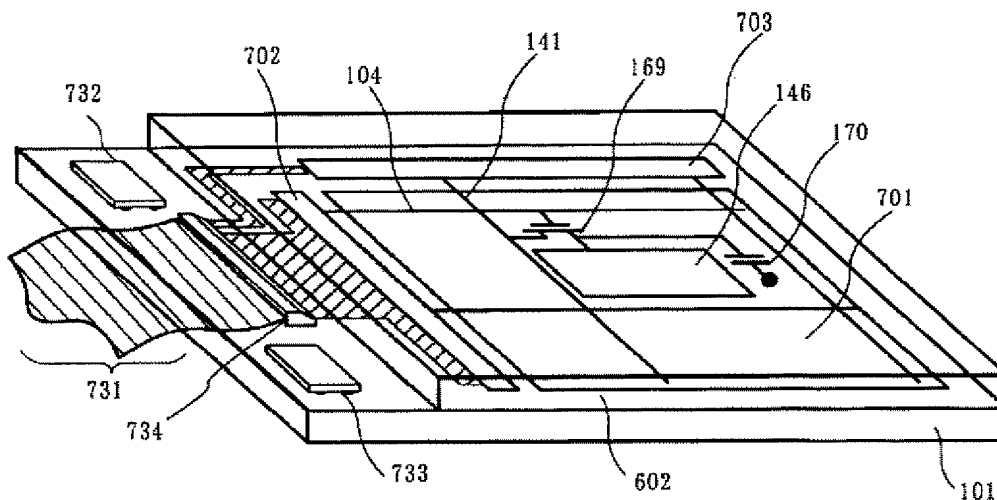
【図10】



【図7】



【図9】



アクティブマトリクス基板

101: 基板

701: 表示領域

702: 走査線駆動回路, 703: 信号線駆動回路

731: FPC, 732, 733: ICチップ,

734: 外部入出力端子

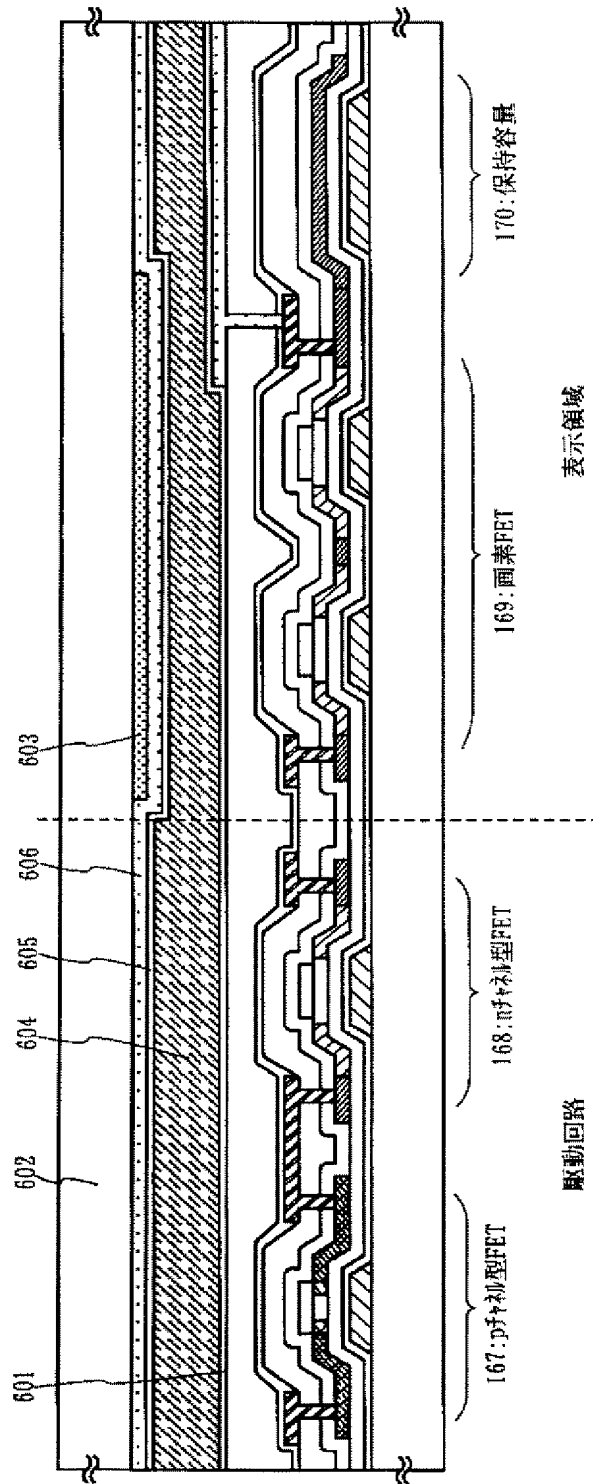
169: 画素TFT

104: ゲート配線, 141: ソース配線

146: 画素電極, 170: 保持容量

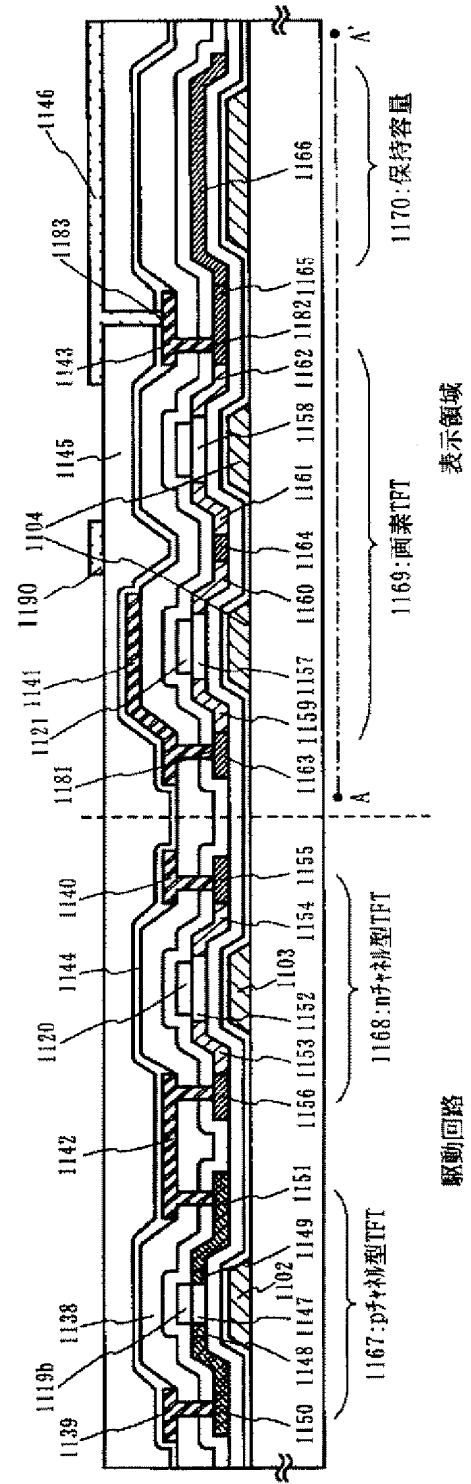
602: 対向基板

【図8】

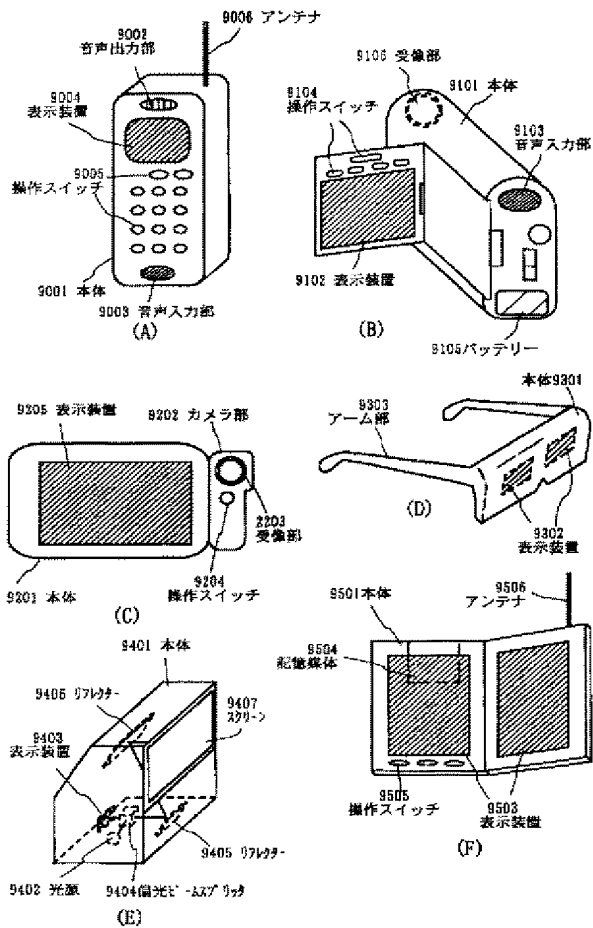


【図13】

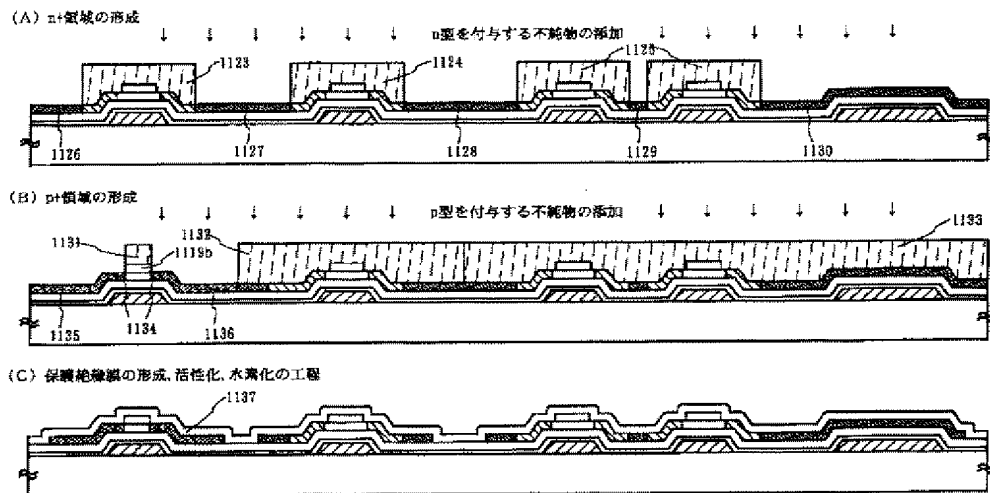
層間絶縁膜の形成、リソースドレイン配線の形成、パッシベーション膜の形成、画素電極の形成



【図11】



【図12】



フロントページの続き

Fターム(参考) 2H092 GA29 JA26 JA34 JA37 JA46
JB22 JB31 JB51 JB57 JB69
KA04 KA10 KB24 KB25 MA08
MA10 MA15 MA19 MA27 MA29
MA30 NA25 NA26 PA03 RA05
5C094 AA13 BA03 BA43 EA04 EA07
EB05
5F110 AA01 AA06 AA14 BB02 BB04
CC08 DD02 DD03 DD13 DD14
DD15 EE01 EE03 EE04 EE06
EE14 EE23 EE28 EE29 EE34
EE43 EE44 EE48 FF02 FF03
FF04 FF09 FF28 FF30 FF35
GG02 GG13 GG25 GG32 GG33
GG34 GG43 GG45 GG51 GG55
HJ01 HJ04 HJ12 HJ13 HJ17
HJ23 HL03 HL04 HL06 HL07
HL12 HL23 HM15 NN01 NN02
NN03 NN04 NN12 NN22 NN23
NN24 NN27 NN34 NN36 NN41
NN42 NN44 NN46 NN47 NN54
NN58 NN72 NN78 PP02 PP03
PP04 PP06 PP10 PP34 PP35
QQ09 QQ12 QQ24 QQ25 QQ28
5G435 AA14 AA16 AA17 CC09 KK05
KK09